به نام خدا

پیش گزارش آزمایش 1

بردیا برائی نژاد(92101669)

1. 4069 از نوع CMOS است و 74LS04 از نوع TTL است و هر کدام 6 گیت اینورتر دارد.





1. در بخش1-3 الف فقط در حین سوییچ مدار توان مصرف می‌کند (Active Load) و در 1-3‌ب در بقیه‌ی مواقع هم در حال مصرف است(Passive Load) نامیده می‌شود(البته اندازه ی کوچکتری نسبت به قبلی دارد). بقیه توضیحات در پاسخ بخش 6 داده شده است.
2. فرض می کنیم هر کدام از گیت ها Δt ثانیه تاخیر داشته باشند. با توجه به فرد بودن گیت ها پاسخ نهایی NOT ورودی خواهد بود البته این پاسخ به مدت 5Δt ثابت می‌ماند تا این که پاسخ جدید NOT پاسخ قبلی می‌شود. پس در نهایت ما یک تابع پالس با دوره ی تناوب 10Δt خواهیم داشت.
3. اگر فرض کنیم ورودی اولیه 0 باشد در گیت اول پس از 20ns، 1 می شود و سپس بعد از 30nsدوباره 0 می شود و همین طور الی آخر. پس تا پایان گیت 5-ام جمعا 20+30+20+30+20=120ns طول می‌کشدو سپس ورودی 1 شده و 30+20+30+20+30=130ns طول می کشد تا دوباره 0 شود. پس در مجموع 250ns زمان یک سیکل کامل است و فرکانس 4MHz=4000000Hz می‌شود.
4. خروجی با توجه به زوج بودن گیت ها همان ورودی با مقداری تاخیر است.
5. در شکل 1-1 اگر ورودی 0v باشد ترانزیستور در حالت قطع قرار می گیرد و. حال اگر ولتاژ ورودی 5v ولت باشد. اگر ولتاژ ورودی 5v باشد، و β= 110:

پس در حالت اشباع است و است.

شکل 1-3 الف از دو بخش PMOS و NMOS به ترتیب در بالا و پایین ساخته شده است. در ولتاژ ها ی کم گیت PMOS مقاومت کمی بین درین و سورس ایجاد می‌گردد و در ولتاژ ها ی زیاد مقاومت زیادی را ایجاد می‌کند. البته این موارد در NMOS برعکس می‌باشند. این نحوه ی اتصال در CMOS(گیت به گیت و درین به درین) موجب کاهش جریان مصرفی و توان می‌شود.با زیاد کردن ولتاژ NMOS مقاومت کم و PMOS مقاومت زیادی را نشان می‌دهد(و همین طور بالعکس) و باعث اینورت شدن ورودی می‌شود.

شکل 1-3ب اگر ولتاژگیت بالا باشدNMOS مقاومت کمی را بین درین و سورس نشان می دهد.در نتیجه خروجی تقریبا صفر می‌شود.(همین طور برعکس)